

Requested Patent: JP1120067A
Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURE ;
Abstracted Patent: JP1120067 ;
Publication Date: 1989-05-12 ;
Inventor(s): SHIMIZU AKIHIRO; others: 01 ;
Applicant(s): HITACHI LTD; others: 01 ;
Application Number: JP19870275785 19871102 ;
Priority Number(s): ;
IPC Classification: H01L29/78 ;
Equivalents: ;

ABSTRACT:

PURPOSE: To obtain a stable and high-reliability MIS type FET which suppresses a short-channel effect without spoiling reliability even with a gate length of 0.5 μ m or less and whose process is easy by a method wherein a drain or both a source and the drain are constituted by a first low-concentration layer situated only under a gate electrode and by a high-concentration diffusion layer adjacent to the layer.

CONSTITUTION: In an MIS type field-effect transistor which is formed on a semiconductor substrate 1 of a first conductivity type and which contains a single gate electrode 4 whose cross-sectional shape is a quadrilateral, the following are contained: first low-concentration semiconductor regions 5 of a second conductivity type whose source and drain are situated or whose drain is situated only under the gate electrode 4; semiconductor regions of the second conductivity type which are adjacent to the regions, which reach the outside of the gate electrode 4 from the lower part of the gate electrode 4 and whose concentration is higher than that of the first semiconductor regions 5. In addition, a third semiconductor region 2 of a first conductivity type which is adjacent to at least said first semiconductor regions 5 and whose concentration is higher than that of the semiconductor substrate 1 is contained. For example, an impurity concentration value of said second semiconductor region 7 is set to be high at 10 cm or more.

⑫ 公開特許公報(A)

平1-120067

⑤ Int. Cl.⁴

H 01 L 29/78

識別記号

3 0 1

庁内整理番号

Z-8422-5F
H-8422-5F

④ 公開 平成1年(1989)5月12日

審査請求 未請求 発明の数 3 (全11頁)

⑥ 発明の名称 半導体装置及びその製造方法

⑪ 特 願 昭62-275785

⑫ 出 願 昭62(1987)11月2日

⑬ 発 明 者 清 水 昭 博 東京都小平市上水本町1448番地 日立超エル・エス・アイ・エンジニアリング株式会社内

⑭ 発 明 者 酒 井 芳 男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑮ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑯ 出 願 人 日立超エル・エス・アイ・エンジニアリング株式会社 東京都小平市上水本町1448番地

⑰ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

1. 第1導電型半導体基板上に形成され、断面形状が四角形の単一のゲート電極を有するMIS型電界効果トランジスタにおいて、そのソース、ドレイン、もしくはドレインの一方が、ゲート電極下のみに存在する低濃度の第2導電型の第1半導体領域と、それに接し、ゲート電極下からゲート電極外部に達する第2導電型で第1半導体領域よりも高濃度の第2半導体領域を有し、かつ、基板内部に少なくとも該第1半導体領域に接する第1導電型で半導体基板より高濃度の第3半導体領域を有することを特徴とする半導体装置。

2. 特許請求の範囲第1項記載の半導体装置において、第2半導体領域の不純物濃度が 10^{18} cm⁻³以上の高濃度であることを特徴とする半導体装置。

3. 特許請求の範囲第2項記載の半導体装置において、第1半導体領域の拡散深さが第2半導体領域に拡散深さ以上であることを特徴とする半導体装置。

4. 特許請求の範囲第1項記載の半導体装置において、該第2半導体領域に接し、第2導電型で第2半導体領域よりも高濃度の第4半導体領域を有することを特徴とする半導体装置。

5. 特許請求の範囲第4項記載の半導体装置において、第1半導体領域の濃度が 10^{18} cm⁻³以下であり、第2半導体領域が 10^{18} cm⁻³以上で 10^{20} cm⁻³以下であることを特徴とする半導体装置。

6. 特許請求の範囲第5項記載の半導体装置において、第4半導体領域が、ゲート電極直下にはないことを特徴とする半導体装置。

7. 特許請求の範囲第6項記載の半導体装置において、第1半導体領域の拡散深さが、第2半導体領域の拡散深さ以上であることを特徴とする半導体装置。

8. 第1導電型半導体基板上に形成されたMIS型電界効果トランジスタにおいて、そのソース下部に、基板内過剰多数キャリア引き抜き用の第1の導電領域が存在し、かつ、該トランジスタのチャネル下部に存在し、ソース、ドレインと上記第1の導電領域に接する基板より高濃度で第1導電型の第2の不純物領域があることを特徴とする半導体装置。

9. 特許請求の範囲第8項記載の半導体装置において、該第1導電領域が、該ソースに接し、第1導電型で基板及び第2不純物領域より高濃度の不純物領域であることを特徴とする半導体装置。

10. 特許請求の範囲第9項記載の半導体装置において、該ソース、ドレインの少なくとも一方が、一部がゲート電極下にある第2導電型の低濃度の第3不純物領域と、該第3不純物領域に接する第2導電型で第3不純物領域より高濃度の第4不純物領域を有することを特徴とする半導体装置。

従来のMIS型電界効果トランジスタは、ゲート長が短くなるに従い、動作時のドレイン近傍の電界が大きくなりホットキャリアの注入による特性変動が大きな問題となつてきている。

これを防ぎ、耐圧を向上させる構造としては種種のものが考えられているが、ゲート長 $1\mu\text{m}$ レベルで有力なものの特開昭60-121771号に記載のように、高濃度拡散層をゲートより離し、その間に低濃度領域を設けた低濃度ドレイン(LDD, Lightly Doped Drain)構造があげられる。これを第2図(a)に示す。しかし、本構造でもゲート長が $0.5\mu\text{m}$ 以下になると信頼性が不足してくる。最近の報告例では、アイ・イー・イー・イー・エレクトロン デバイス レターズ、イー・ディー・エル-8、(1987年)第151頁から第153頁(IEEE Electron Device Letters Vol. EDL-8 (1987) pp. 151-153)に論じられているIT-LDD

(Inverse-T LDD)があげられる。これはLDD構造に改良を加えたものである。これを第

11. 半導体基板表面にMIS型電界効果トランジスタを形成する製造方法において、ゲート電極形成前、或は後に、基板と同じ導電型の不純物を基板内部にイオン打込し、第3半導体領域を形成する工程と、ゲート電極を形成後、ゲート電極をマスクにソース、ドレイン用低濃度の第1半導体領域を形成し、その後ゲート電極の側壁にサイドウォール絶縁膜を形成し、さらにゲート電極とサイドウォール絶縁膜をマスクに第1半導体領域よりも不純物濃度が高く、ゲート電極直下にまで達する第2の半導体領域を形成する工程を含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置に係り、特にMIS型電界効果トランジスタの高信頼度化に好適で、耐ホットキャリア効果又は、高耐圧化にすぐれたMIS型電界効果トランジスタに関する。

(従来の技術)

2図(b)に示す。

また、相補型半導体装置において、寄生サイリスタによるラッチアップ効果を抑制する方法として、特開昭62-84547号に記載されているように、ソース拡散層下部に、基板(この場合はウエル)と同じ導電型の高濃度層を設けた構造があげられる。これを第2図(c)に示す。

(発明が解決しようとする問題点)

上記従来技術において、ゲート長が $0.5\mu\text{m}$ 以下になつてくると、LDD構造では、サイドウォール絶縁膜に起因したLDD構造固有のホットキャリア劣化により、低濃度層の濃度を 10^{18}cm^{-3} 以下にすることができず、信頼性が不足し、かつ、短チャネル効果が厳しくなる。また、IT-LDDでは、短チャネル効果が厳しいのと、プロセスが複雑、不安定であるという問題があつた。

本発明の目的は、ゲート長が $0.5\mu\text{m}$ 以下となつても、信頼性を損なわずにチャネル効果を抑制し、かつ、プロセスも容易で安定な高信頼度MIS型電界効果トランジスタを提供することに

ある。

本発明の他の目的は、MIS型電界効果トランジスタのドレイン耐圧を向上させることにある。

〔問題点を解決するための手段〕

上記目的は、断面が四角形であるような単一のゲート電極を有するMIS型電界効果トランジスタにおいて、そのドレイン、或は、ソース、ドレイン両方が、ゲート電極下にのみある低濃度の第1の拡散層とそれに接する第1の拡散層より高濃度の第2の拡散層を有し、さらに、基板内に第1の拡散層に接するように基板より高濃度で基板と同じ導電型の第3の埋め込み層（いわゆるパンチスルーストツパ層）を設けることにより達成され、また、上記の第2の拡散層をゲート側壁に形成したサイドウォール絶縁膜からゲート電極に連するように形成することにより、達成される。

また、上記他の目的は、MIS型電界効果トランジスタのソース下部基板内部に、ソース下部に基板内多数キャリアの引き抜き用低抵抗導電層を設け、かつ、該トランジスタのチャネル下基板内

部に、該引き抜き層に接し、基板より高濃度で基板と同じ導電型の不純物領域を設けることにより達成される。

〔作用〕

上記構造のうち、低濃度拡散層は全てゲート電極下にあり、サイドウォール絶縁膜下部はより高濃度の拡散層となつているため、前述のLDD構造固有のホットキャリア劣化は起こらず、低濃度拡散層の濃度を 10^{18}cm^{-3} 以下にでき、信頼性を大きく向上できる。また、基板内部にパンチスルーストツパ層があるため、低濃度拡散層の拡散深さを大きくしても短チャネル効果は抑制できる。信頼性からは、拡散層深さは深い程よい。さらに、プロセス的に、従来のIT-LDD構造形成プロセスに比べ大幅に単純化されており、製造歩留り及びコスト低減ができる。

更に、MIS型電界効果トランジスタのドレイン耐圧は、nチャネルの場合、基板電流誘起の寄生バイポーラ効果によるブレイクダウンで定まっている。これは、pn接合のブレイクダウン電圧

よりも、低い電圧で上記ブレイクダウンが生じることによる。これを、第2図(d)を用いて説明する。nチャネル型の場合、動作中の電流はソースより電子がドレインに流れ込むことにより生じる。この時、ドレイン近傍の高電界領域で電子が衝突電離を起こし、電子・正孔対を発生する。これらの内、電子はドレインに流れ込むが、正孔の大半は基板へ流れる。ドレイン電圧を上げてゆくことの正孔による基板電流が増大する。これに伴い、基板自身の抵抗により、基板内部の電位も上昇し、ついには、基板内ソース近傍とソース拡散層7とのpn接合が順方向となり、横型のnpnバイポーラトランジスタが動作し、電流が急激に増加する。代表的なトランジスタにおけるこの様子を、第2図(e)に示す。基板電流の増加に応じて、各ゲート電圧でのドレイン耐圧が異なっている。

以上のことから従来、このドレイン耐圧を向上させるにはブレイクダウンの種となる基板電流の発生を減少されることが試みられ、第2図(a)

のような高耐圧構造が考案されてきた。本発明は、さらに、高耐圧化を実現する方法として、基板電流の発生自身を抑制するのではなく、発生してもブレイクダウンしにくい構造を実現したものである。これは、ソース側拡散層下部にギャリア引き抜き用の領域、例えば高濃度拡散層(10^{19}cm^{-3} 以上)と該トランジスタのチャネル下部に中濃度(例えば 10^{18}cm^{-3} 程度)の基板と同じ導電型の拡散層を設けることにより、上記寄生バイポーラ効果が起こりにくくなる。つまり、ドレイン近傍で発生した基板電流は、直ちにチャネル下部中濃度拡散層を通り、ソース下部高濃度拡散層により引き抜かれてしまうことによる。この構造ではMOSトランジスタの寄生バイポーラトランジスタのエミッタとベースを短絡に寄生バイポーラトランジスタを動作させないようにしている。これにより、ドレイン耐圧を、ドレインpn接合耐圧付近まで向上させることができる。この様子を、前述第4図(b)と同様に、第2図(f)に示す。

また、第2図(c)に示した従来技術の如く、

上記高濃度層のみがソース下部にある場合、チャネル下部の電位は基板電流で上昇しやすく、上記効果は小さい。

〔実施例〕

（実施例1）

以下に、本発明の実施例を説明する。

第1図に示す本発明の構造は、LDD構造の低濃度拡散層5が全てゲート電極4下にある構造となっており、ホットキャリア効果に対する信頼性は向上する。また、低濃度拡散層4はゲート4端からやや深めに形成し、かつ、ソース、ドレイン間のパンチスルーは基板内部に形成した高濃度層2により防ぐ。これにより、短チャネル効果の防止と共に、ソース、ドレインの拡散層深さを大きくできるため、よりホットキャリア効果を低減する事ができる。

また、プロセス的にも、従来のLDD構造形成プロセスにパンチスルーストップパ用の高濃度層2形成プロセスが増加するだけでゲート電極の形状は従来の通常構造のままである。ただし、従来の

ス拡散層5の縦方向の深さは浅くなる。ホットキャリア効果抑制からは、低濃度n形拡散層5の横方向の伸びは大きい方が有利であり、第1図に示す本発明の構造では、パンチスルーを抑制しつつこれを実現している。

また、従来のLDD構造固有のホットキャリア劣化を防ぐには、サイドウォール絶縁膜下に低濃度拡散層があつてはならず、中濃度以上であればよく、本発明による構造はそのような構造によりホットキャリア劣化を防いでいる。

＜実施例2＞

第3図に示した実施例は、基板内に形成したパンチスルーストップパ用高濃度p型層2が、ソース、ドレイン7下部のみにある構造である。本実施例では、第1図に示した第1の実施例の場合よりも、パンチスルー抑制効果は多少減少するが、その他の特性が損なわれることはない。本構造では、チャネル部直下の基板不純物濃度が低いため、MOSトランジスタの基板効果定数が小さなものとなる。LSI内では、トランスファアゲート等、基板バ

LDDと異なるのは、第1図の構造ではサイドウォール絶縁膜6の厚さが、ソース、ドレイン高濃度拡散層7の横方向の伸びよりも小さくする必要があるのである。

また、第1図の構造ではパンチスルーストップパ用埋め込み高濃度p型層2が低濃度n形ドレイン、ソース拡散層5だけでなく、高濃度n形ドレイン、ソース拡散層7にも接している。これは、低濃度n形拡散層の不純物濃度が、耐ホットキャリア等から益々低濃度（ 10^{18}cm^{-3} 以下）になるのに対し、パンチスルーストップパ用埋め込みp形層は、ゲート長が短くなるにつれ高濃度（ 10^{17}cm^{-3} 以上）にしなければならなくなる。従つてゲート長 $0.5\mu\text{m}$ では埋め込みp形層2は低濃度n形ドレイン、ソース拡散層5と同程度の濃度となる。その結果、低濃度n形ドレイン・ソース拡散層5は、たとえ高濃度n形ドレイン・ソース層7を囲むように深く形成しても、低濃度n形ドレイン、ソース拡散層の低部は埋め込みp型層2によりp形になるため、実効的な低濃度n形ドレイン・ソー

スクバイアスが印加される所で用いる場合には本実施例の構造が良い。

＜実施例3＞

また、第4図に示した実施例は低濃度n形拡散層5が、高濃度拡散層7の周囲に存在するものである。これは、パンチスルーストップパ用埋め込みp形層2の不純物濃度が低濃度n形拡散層5よりも低いか、低濃度n形拡散層5の拡散深さよりも埋め込みp形層2が基板内に形成されている場合に相当する。LSI内でゲート長がやや長めでも良い所に用いる場合、上記埋め込みp形層2は第1図の実施例の時よりも低濃度で良い事になる。また、従来のLDD程、高信頼度を必要としない所では、低濃度n形拡散層の濃度を高くすることができ、その結果第4図の如き構造となる。本実施例では、高濃度n形拡散層7の周囲に低濃度n形拡散層5があるため、接合容量を小さくし、また接合耐圧を向上することができる。

＜実施例4＞

次に、第5図に示した実施例は、低濃度n形拡

散層5も高濃度n形拡散層7と同様にサイドウォール絶縁膜6の外側から拡散形成したものである。上記同様信号性向上量が小さくて良い場合には、低濃度n形拡散層幅の小さな本実施例の様な構造でも良い。本実施例では、ゲートと拡散層とのオーバーラップ容量が低減でき、かつ、実効チャネル長に対し、加工ゲート長を短かくすることができる。

〈実施例5〉

第6図に示した実施例は、第1図に示した実施例において、チャネル領域に浅いn形層8を形成してMOSトランジスタのチャネルを表面型から埋め込み型に変更にしたものである。これにより、表面チャネル型素子よりも、高電流駆動能力でかつ信頼性の高い構造を得ることができる。ただし、埋め込みチャネル型は、短チャネル効果が激しい。このため、第6図では、さらにパンチスルーストツパ用の第2の埋め込みp形層9を形成してある。なお、また、埋め込みチャネル方式では、パンチスルーストツパ用の埋め込みp形層は第6図中の

10^{19} cm^{-3} 以上であり、低濃度n形層は 10^{18} cm^{-3} 以下であり、中濃度n形層はその中間である。

まず、第8図に示した構造は、第1図に示した実施例において、高濃度n形拡散層7をゲート電極より離して形成し、かつ、サイドウォール絶縁膜6下部からゲート6端下部に達する中濃度n形拡散層10を設けたものである。これにより、ホットキャリアに対する信頼性の向上だけでなく、ドレイン耐圧（寄生バイポーラ効果、あるいはドレインpn接合アバランシェによるブレインダウンで定まるドレイン電圧）を向上させることができる。

また、第9図に示した構造は、第8図に実施例における、高濃度n形拡散層7もゲート電極4端下部に達するように形成したものである。本実施例では、第8図の構造より、ソース、ドレイン寄生抵抗が減少し電流駆動能力が向上する。

さらに、第10図に示した構造は、中濃度n形拡散層10を高濃度n形拡散層7と同様にサイドウォール絶縁膜6の外側から形成したもので、中

2、9をまとめて1つで形成しても良い。

さらに、第7図に示した実施例は、第1図に示した実施例において、パンチスルーストツパ用埋め込みp形層2をゲート電極4形成後に全面に高エネルギー打込みで形成したもので、ゲート電極4下ではやや浅めに、ソース、ドレイン下ではより内部に形成されている。これにより、ソース、ドレインの寄生容量をほとんど増加させずに、前述第1図の構造の効果を出すことができ非常に良い。

なお、以上述べてきた実施例は、導電型極性を逆にすれば全て、nチャネル、pチャネルトランジスタに適用可能である。

〈実施例6〉

次に第8図から第11図を用いて本発明の他の実施例を述べる。今まで述べてきた実施例は全て、ソース・ドレインが高濃度n形拡散層と、低濃度n形拡散層からできていたが、第8～11図の実施例はこの間に中濃度n形拡散層を設けたものである。これらの実施例では、高濃度n形層が、

濃度n形拡散層10が高濃度n形拡散層7の周囲を囲んだ形になっている。この例では中濃度n形拡散層10の不純物濃度は、パンチスルーストツパ用埋め込みp形層2よりも高濃度のため、第10図のような形状となる。本実施例では、ソース、ドレインの接合容量を少なくすることができる。

最後に第11図に示した構造は、中、高濃度拡散層形成用に、それぞれ別のサイドウォール絶縁膜を6、11と2回形成したものである。これにより、各サイドウォール絶縁膜の幅を変えることにより、各拡散層深さを変えずに、ゲート電極とのオーバーラップ量、オフセット量を任意に定めることができる。

〈実施例7〉

最後に、第12～13図を用いて、本発明の代表的な構造を形成する製造方法の実施例を説明する。

まず、第12図(a)のように、p型シリコン（比抵抗 $10 \Omega \cdot \text{cm}$ ）基板表1面にゲート酸化膜3を熱酸化により、 $10 \sim 25 \text{ nm}$ 形成し、全面

に、閾値電圧設定用のボロン9を $10^{11} \sim 10^{13} \text{ cm}^{-2}$ 程度、及び、パンチスルーストツパ用埋め込み層2形成のため、ボロンを100~250 KeVのエネルギーで、 $10^{12} \sim 10^{14} \text{ cm}^{-2}$ 程度打ち込む。これにより、第12図(a)の如く、基板内部に一様にパンチスルーストツパ用高濃度埋め込み層2が形成される。

次に、リンドーブの多結晶シリコンを200~300 nm形成し、フオエツチングによりパターンニングしてゲート電極4を形成する。続いてこのゲート電極をマスクにリンを $5 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2}$ 程度打ちこみ、低濃度のn型ソース、ドレイン拡散層5を形成する。この時、低濃度拡散層5は、その後のアユールで第12図(b)のように横方向には十分伸びる事ができるが、縦方向は上記埋め込みp層2があるためそれ以上伸びる事はできない。低濃度拡散層5の横方向伸びは0.15~0.25 μm 、縦方向は、0.1~0.2 μm となつている。

最後に、第12図(c)に示したように、 SiO_2

で、第13図(c)のように、ゲート電極4下部では、パンチスルーストツパ用としてやや浅めに、ソース、ドレイン拡散層下部では、より基板内部に形成させる。第13図の実施例では、ソース、ドレイン拡散層の寄生容量を低減できる。また、p型埋め込み層2は、第13図中では、サイドウォール絶縁膜形成後に形成しているが、ゲート電極形成直後でも良い。

なお、上記実施例は、nチャネルMOSFETについての製造方法を述べてきたが、導電型を逆にする事により、pチャネルにも応用可能である。また、ゲート電極は、多結晶シリコンだけでなく、その上に金属、あるいは金属シリサイド層を被膜したポリサイドゲート、または、金属ゲートでも良く、配線抵抗をより小さくできる。

<実施例8>

以下に本発明の実施例を第5図から第10図を用いて説明する。

第15図に示した実施例は、第14図の実施例の製造工程の概略を示したものである。

膜を100~250 nm化学気相成長法により堆積後、反応性イオンエツチングにより、これを除去し、ゲート電極4の側壁部に SiO_2 のサイドウォール6を形成する。この時、サイドウォール6の幅は0.1~0.2 μm となる。続いて、ヒ素を $5 \times 10^{13} \text{ cm}^{-2}$ 打ち込みとその後のアユールで高濃度のn型拡散層7を形成する。この時、高濃度拡散層の横方向伸びは0.15~0.25 μm となる。ただし重要な事は、サイドウォール6外部から形成したこの高濃度拡散層7の拡散端が、ゲート電極4直下に到達するようにすることである。これは、高濃度拡散層7と横方向伸びとサイドウォール絶縁膜6の幅を調整してやればよく、マスクの増大なしに、自己整合的に形成できる。本構造は、第1図の実施例と同じものである。

また、第13図に示した実施例は、第12図の実施例におけるパンチスルーストツパ用のp型高濃度層2を、ゲート電極形成前ではなく形成後(第13図a,b)に全面に200~1000 KeVの高エネルギーでボロンを打ち込んで形成したもの

まず、第15図(a)の如く、p+型 10^{19} cm^{-3} 程度のシリコン基板1に、ゲート酸化膜3を10~20 nm形成し、ボロンを高エネルギー(100~200 KeV)で $10^{12} \sim 5 \times 10^{13} \text{ cm}^{-2}$ 、及び低エネルギー(5~20 KeV)で

$10^{11} \sim 10^{13} \text{ cm}^{-2}$ 程度打ち込み、熱処理を行う。この時、高エネルギー打ち込み層2は、パンチスルーストツパ用であり、低エネルギー打ち込み層8は、閾値電圧制御用である。

次に第15図(b)の如く、多結晶シリコン膜4を200~300 nm、及びシリコン酸化膜16を100~300 nm被膜後、これら2層をいつしよにフオトエツチングでパターンニングし、ゲート電極4を形成する。その後、第15図(c)の如くこのゲート電極4をマスクに、ヒ素を $10^{13} \sim 10^{15} \text{ cm}^{-2}$ 程度打ち込み、n+拡散層7を形成する。

そして、第15図(d)の如く、レジストを1 μm 程度被膜後、フォトリソグラフィーでソース拡散層に開口部を設け、ボロンを100~200

KeVの高エネルギーで $10^{14} \sim 1 \times 10^{15} \text{cm}^{-2}$ 程度打込み、p+拡散層10をソースn+層7に接するように形成する。レジスト除去後は、通徒のMOSプロセスと全く同じで良い。

本構造では、基板内全面にパンチスルーストツパ用p層2があるため、短チャネル効果が抑制できるのと、さらに、ドレイン近傍で発生した正孔は直ちに、このp層2に流れ込み、ソース側の引き抜き用p+層10を経由し、ソースn+拡散層に達することになる。このため、本実施例では、パンチスルー抑制とドレイン耐圧の向上を同時に実現している。なお、高濃度p+拡散層10はソース・ドレインn+拡散層の形成する前に形成してもよい。

また、上記引き抜き層10は低抵抗導電材であれば良いため、p+拡散層だけでなく、金属あるいは金属硅化合物でもよい。

<実施例9>

第16図に示した実施例は、第15図の構造で

また、第18図、及び第19図に示した実施例は、埋め込み引き抜き層とソースとの接続に関する他の実施例を示したものである。引き抜き層はp+埋め込み層の場合であり、第16図と同じものである。

まず、第18図に示した構造は、ソース拡散層側のみ、埋め込みp+層10に達する埋め込み電極11を形成したものである。この埋め込み電極11は低抵抗材料であれば多結晶シリコン、金属等何でもよい。形成法としては、層間絶縁膜を被膜後、コンタクトホール形成時にソース側のみシリコン基板に溝を形成すればよい。後は、アルミニウム配線を直接形成するか、別の埋め込み電極を形成すればよい。

次に、第19図は、ソース側拡散層のn+層7とは別に、埋め込みp+層13と基板表面を接続するp+層12を形成したもので、外部とは、このp+層12・ソースn+層とアルミニウム配線等とを接続すればよい。なお、第8、19図に示した実施例では、埋め込みp+層10、13の接続

ドレイン構造自身をシングルドレイン構造から、LDD構造にしたものである。即ち、ゲート電極4の側壁に絶縁膜によるサイドウォールスペーサ6を形成し、その下部には低濃度ドレインn形領域5が形成されている。ドレイン下部にはパンチスルーストツパp形層2と埋め込み引き抜き層10が存在する。これにより、ドレインブレイクダウン耐圧だけでなく、ホットキャリアに起因する長期的な信頼性をも向上させたものである。

また、第17図に示した実施例も上記第16図の構造と同様に、ドレイン構造を二重ドレイン化し高信頼度化したものである。ただし、第17図では低濃度ドレインn⁻拡散層5はゲート端から拡散形成しているが、n+拡散層7はサイドウォール絶縁膜6端から形成しておりゲート電極下部にも拡散層端が達している。また、基板内部にパンチスルーストツパ層2があるため、基板内部のn⁻層は打ち消され図のような構造となっている。効果は第16図と同様である。

<実施例10>

部を別に形成しているため、ソース用n+層7とこのp+層13が必がしも接している必要はない。

なお、上記実施例では全てnチャネルトランジスタについてのみ示して来たが、将来の微細なpチャネルトランジスタにおいても、上記不純物領域の導電型を逆にすることにより実現できる。

<実施例11>

最後に本発明を相補型半導体装置に応用した実施例を第20図を用いて説明する。

第20図(a)は、相補型半導体装置において、例としてnチャネル及びpチャネルトランジスタを各々3個ずつ配列したものである。23がnウエルでその中にpチャネルトランジスタが、そして22がpウエルで逆にpチャネルトランジスタが形成されている。この図では、各トランジスタを同じ向きに並べ共通のソース側拡散層下部にまとめて、nチャネル側にはp+埋め込み層20、pチャネル側にはn+埋め込み層21が形成してある。第20図(a)中のAA'における断面図を同図(b)に示す。このように、埋め込み層は

まとめて大きく形成すれば良い。これにより、ドレイン耐圧の向上だけでなく相補型半導装置固有のラッチアップ現象をも抑制可能である。

(発明の効果)

本発明によれば、従来のLDD構造において生じる固有のホットキャリア効果が起こらず、短チャネル効果をも抑制できる。このため、将来のULSI(Ultra Large Scale Integration)の基本デバイスとして非常に有効である。

また、本発明によれば、従来のLDD構造のような、ドレイン構造の改良以上に、ドレインブレイクダウン耐圧を向上させることができる。このため、サブミクロン技術を用いたULSI(Ultra Large Scale Integration)の基本デバイスとして非常に有効である。

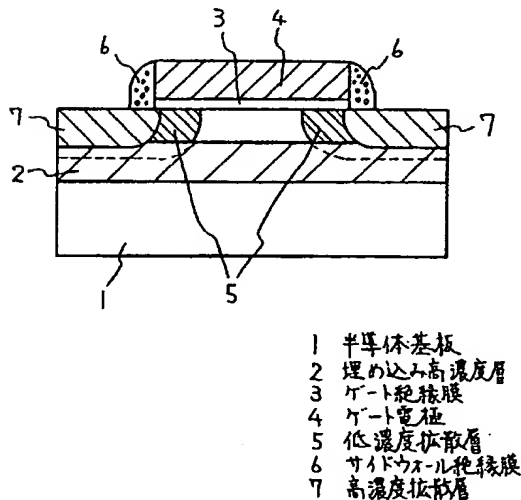
4. 図面の簡単な説明

第1図は本発明の実施例を示す構造の断面図、第2図は(a)～(c)は従来構造の断面図、第2図(d)～(f)は寄生バイポーラ効果によるブレイクダウンのメカニズムを示した図と、本発明

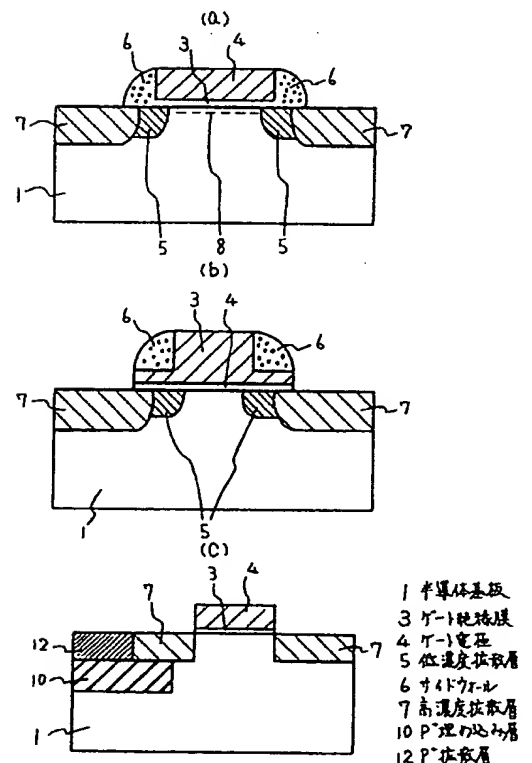
構造と従来構造の代表的なI-V特性を示す図、第3～11図は本発明の実施例を示す構造の断面図、第12～13図は本発明の構造を形成する製造工程の実施例を示した断面図、第14図～第20図は本発明の他の実施例を示す図である。
1…半導体基板、2…埋め込み高濃度層、3…ゲート絶縁膜、4…ゲート電極、5…低濃度拡散層、6、11…サイドウォール絶縁膜、7'高濃度拡散層、10…中濃度拡散層。

代理人 弁理士 小川勝男

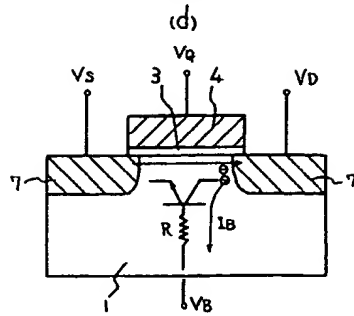
第1図



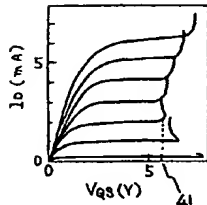
第2図



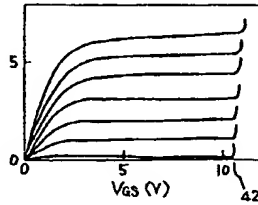
第2図



(e)

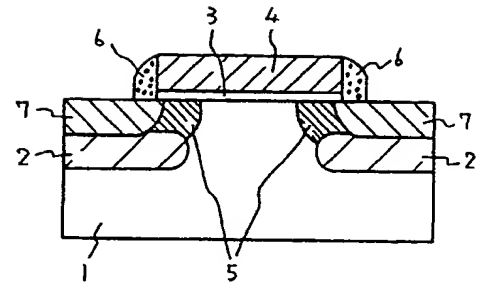


(f)

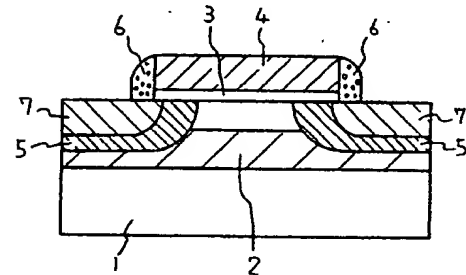


- 1 半導体基板
- 2 バンチストップ層
- 3 γ-1絶縁膜
- 4 γ-1電極
- 5 低濃度拡散層
- 6 サイドウォール
- 7 高濃度拡散層
- 10,13 γ-1絶縁膜埋め込み層

第3図

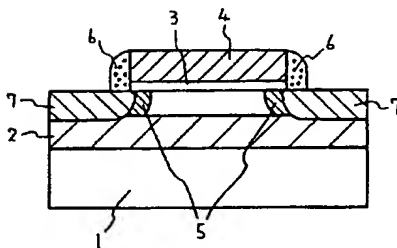


第4図

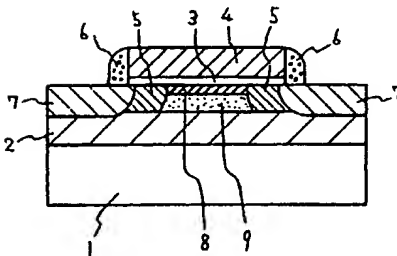


- 1 半導体基板
- 2 埋め込み高濃度層
- 4 γ-1電極
- 6 サイドウォール絶縁膜

第5図

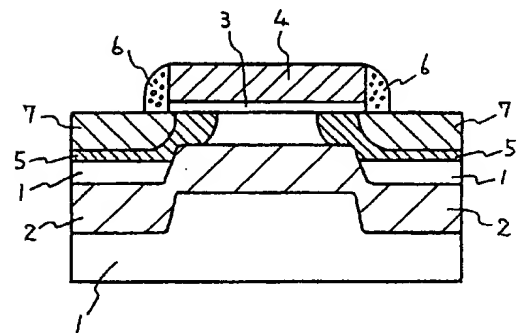


第6図



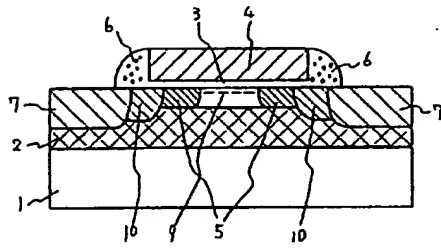
- 1 半導体基板
- 2 埋め込み高濃度層
- 4 γ-1電極
- 5 低濃度拡散層
- 7 高濃度拡散層
- 8 埋め込みチャネル
- 9 第2の埋め込み高濃度層

第7図

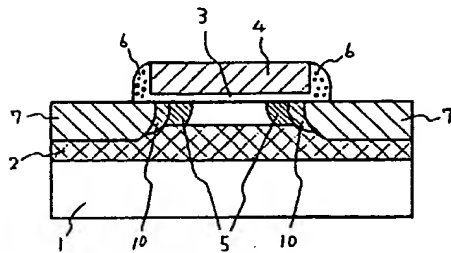


- 1 半導体基板
- 2 埋め込み高濃度層
- 4 γ-1電極
- 5 低濃度拡散層
- 7 高濃度拡散層

第 8 図

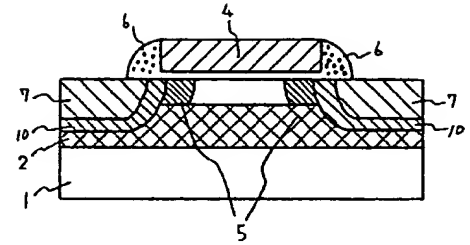


第 9 図

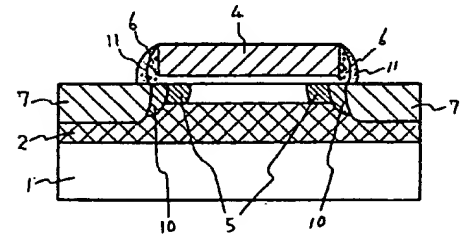


- 1 半導体基板
- 2 パンチスルーストップ用埋込層
- 4 γ-ト電極
- 5 低濃度拡散層
- 7 中濃度拡散層
- 10 高濃度拡散層
- 9 閥値設定用打込層

第 10 図

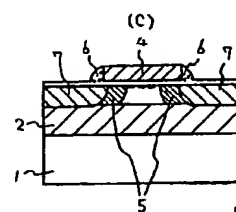
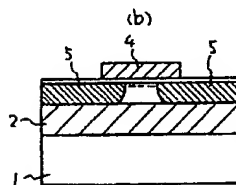
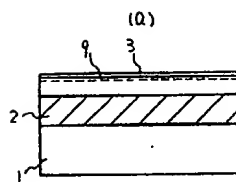


第 11 図

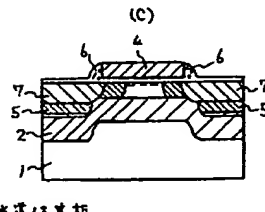
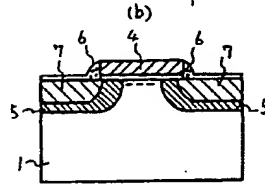
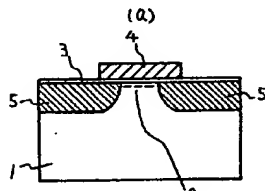


- 1 半導体基板
- 2 パンチスルーストップ用埋込層
- 4 γ-ト電極
- 5 低濃度拡散層
- 7 中濃度拡散層
- 10 高濃度拡散層
- 6, 11 γ-トウォール絶縁膜

第 12 図

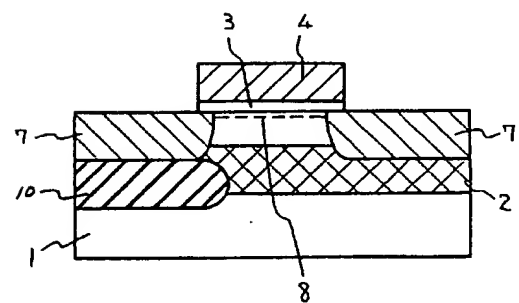


第 13 図



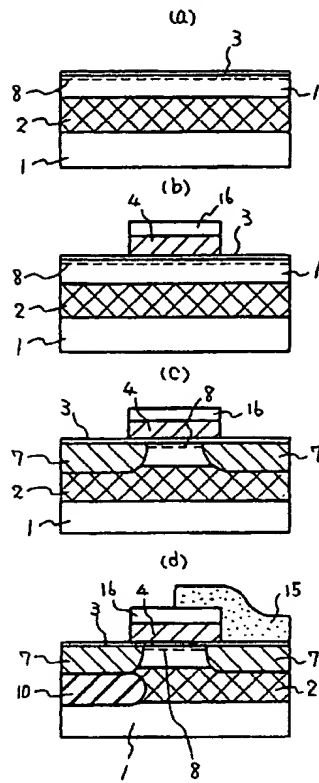
- 1 半導体基板
- 2 パンチスルーストップ用埋込層
- 3 γ-ト絶縁膜
- 4 γ-ト電極
- 5 低濃度拡散層
- 6 γ-トウォール絶縁膜
- 7 高濃度拡散層
- 9 閥値設定用打込層

第 14 図



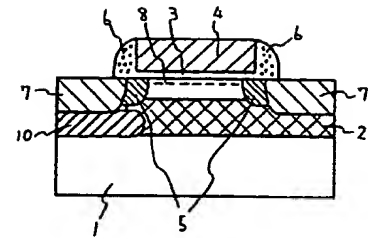
- 1 半導体基板
- 2 パンチスルーストップ用埋込層
- 3 γ-ト絶縁膜
- 4 γ-ト電極
- 5 低濃度拡散層
- 7 高濃度拡散層
- 10 引込板之用埋込層

第15図

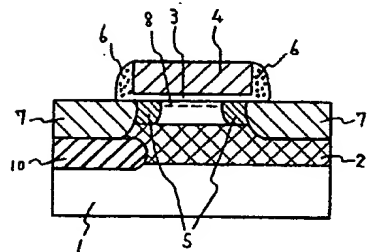


- 1 半導体基板
2 パンチスルーストッパ層
3 ゲート絶縁膜
4 ゲート電極
5 低濃度拡散層
6 サイドウォール
7 高濃度拡散層
10,13 引き抜き用埋め込み層

第16図

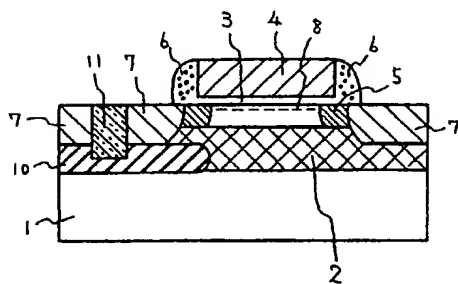


第17図

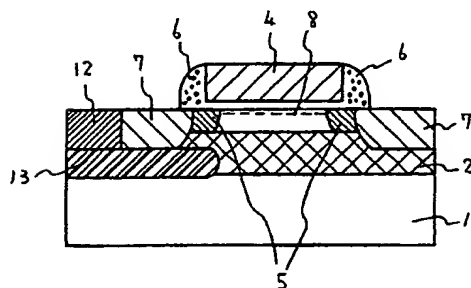


- 1 半導体基板
2 パンチスルーストッパ層
3 ゲート絶縁膜
4 ゲート電極
5 低濃度拡散層
6 サイドウォール
7 高濃度拡散層
10,13 引き抜き用埋め込み層

第18図

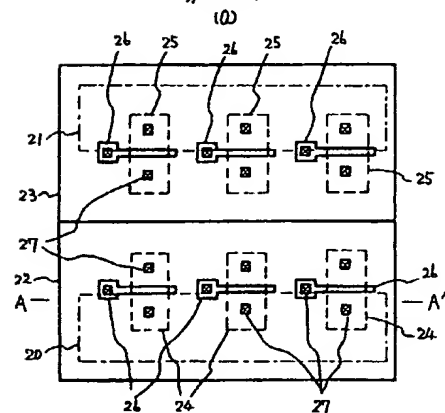


第19図



- 1 半導体基板
2 パンチスルーストッパ層
3 ゲート絶縁膜
4 ゲート電極
5 低濃度拡散層
6 サイドウォール
7 高濃度拡散層
10,13 引き抜き用埋め込み層

第20図



- 20,21 高濃度埋込み層
22,23 ウェル層
24,25 フォトリソグレイ
26 ゲート電極
27 コンタクトホール
30 素子分離用絶縁膜
31 テルミウム配線
32 層間絶縁膜